

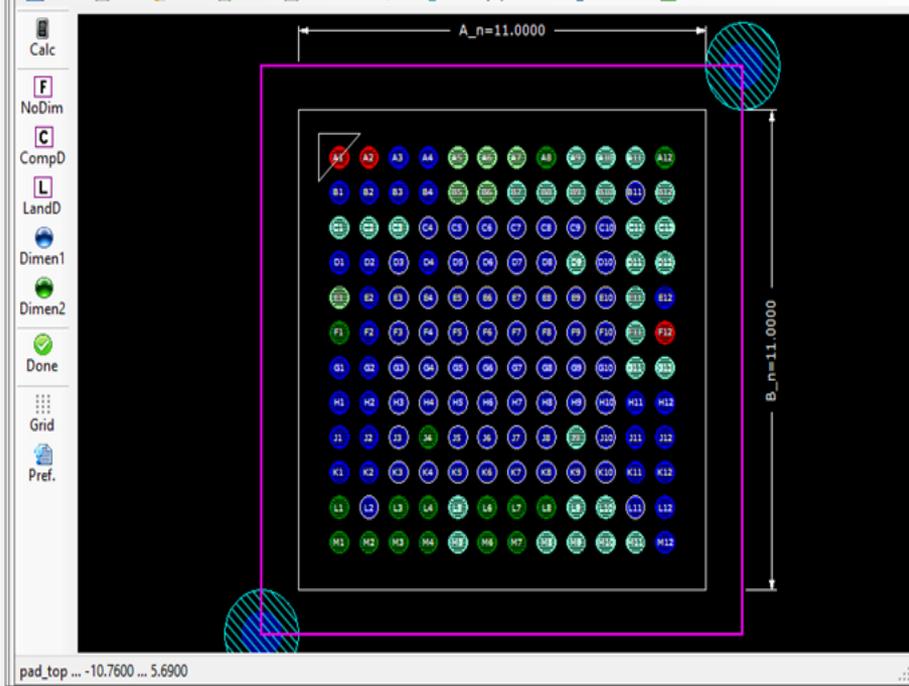
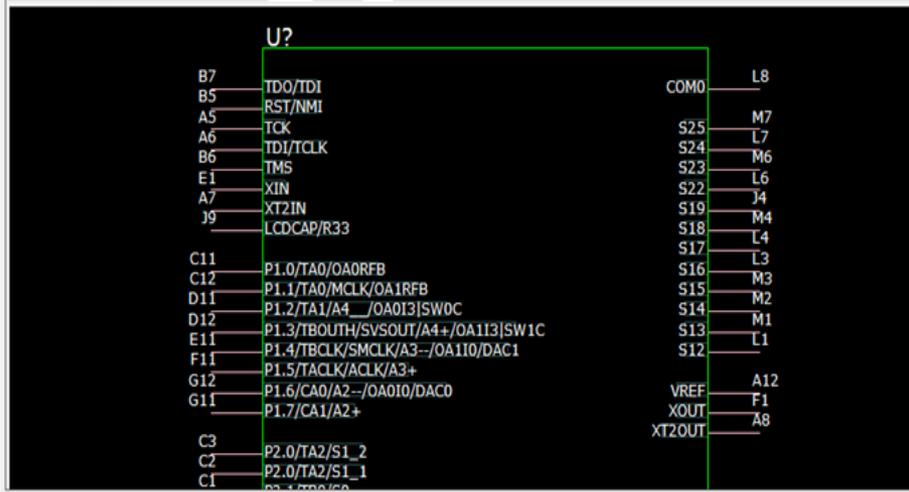
OrCAD Library Builder

Новый подход к созданию библиотек КОМПОНЕНТОВ

Для чего OrCAD Library Builder?

- Автоматизированная среда создания библиотек компонентов для OrCAD Capture и OrCAD PCB Editor
- Распознавание технических описаний (datasheets) в формате PDF для ускоренного создания символов для схемы и посадочных мест
- Извлечение данных из таблиц и диаграмм для создания сложных многовыводных символов в кратчайшие сроки
- Создание сложных посадочных мест с использованием удобных и наглядных калькуляторов
- Ускоренное взаимодействие ECAD-MCAD за счет автоматического создания 3D модели компонента в формате STEP
- Комплексная проверка библиотек на наличие ошибок, в том числе проверка соответствия символов для схемы и платы

	Number	Pin Name	Direction	Function	Pin Group	Position	Section	Grid	Swap
▶ 1	L8	COM0	Output			Right	1	2	
2	J9	LCDCAP/R33	Bidir			Left	1	9	
3	C11	P1.0/TA0/OA0RFB	Bidir			Left	1	11	
4	C12	P1.1/TA0/MCLK/OA1RFB	Bidir			Left	1	12	
5	D11	P1.2/TA1/A4_/OA0I3SW0C	Bidir			Left	1	13	
6	D12	P1.3/TBOUTH/SVSOUT/A4+/OA1I3...	Bidir			Left	1	14	
7	E11	P1.4/TBCLK/SMCLK/A3-/OA1I0/DAC1	Bidir			Left	1	15	
8	F11	P1.5/TACK/ACLK/A3+	Bidir			Left	1	16	
9	G12	P1.6/CA0/A2-/OA0I0/DAC0	Bidir			Left	1	17	
10	G11	P1.7/CA1/A2+	Bidir			Left	1	18	
11	C3	P2.0/TA2/S1_2	Bidir			Left	1	20	
12	C2	P2.0/TA2/S1_1	Bidir			Left	1	21	
13	C1	P2.1/TB0/S0	Bidir			Left	1	22	
14	L5	P5.0/S20	Bidir			Left	1	24	
15	M5	P5.1/S21	Bidir			Left	1	25	
16	M8	P5.2/COM1	Bidir			Left	1	26	
17	L9	P5.3/COM2	Bidir			Left	1	27	
18	M9	P5.4/COM3	Bidir			Left	1	28	
19	M10	P5.5/R23	Bidir			Left	1	29	
20	L10	P5.6/LCDREF/R13	Bidir			Left	1	30	
21	M11	P5.7/R03	Bidir			Left	1	31	
22	B8	P6.0/A0-/OA0D	Bidir			Left	1	32	
23	B9	P6.1/A0-/OA0FB	Bidir			Left	1	33	
24	A9	P6.2/OA0I1SW0A	Bidir			Left	1	34	
25	D9	P6.3/A1+/OA10	Bidir			Left	1	35	
26	A10	P6.4/A1-/OA1FB	Bidir			Left	1	36	
27	B10	P6.5/OA0I2SW0B	Bidir			Left	1	37	
28	A11	P6.6/OA1I1SW1A	Bidir			Left	1	38	
29	B12	P6.7/OA1I2/SVSIN/SW1B	Bidir			Left	1	39	
30	B5	RST/NMI	Input			Left	1	3	
31	M7	S25	Output			Right	1	4	
32	L7	S24	Output			Right	1	5	
33	M6	S23	Output			Right	1	6	
34	L6	S22	Output			Right	1	7	
35	J4	S19	Output			Right	1	8	
36	M4	S18	Output			Right	1	9	
37	L4	S17	Output			Right	1	10	
38	L3	S16	Output			Right	1	11	
39	M3	S15	Output			Right	1	12	
40	M2	S14	Output			Right	1	13	



Основные задачи при создании библиотек

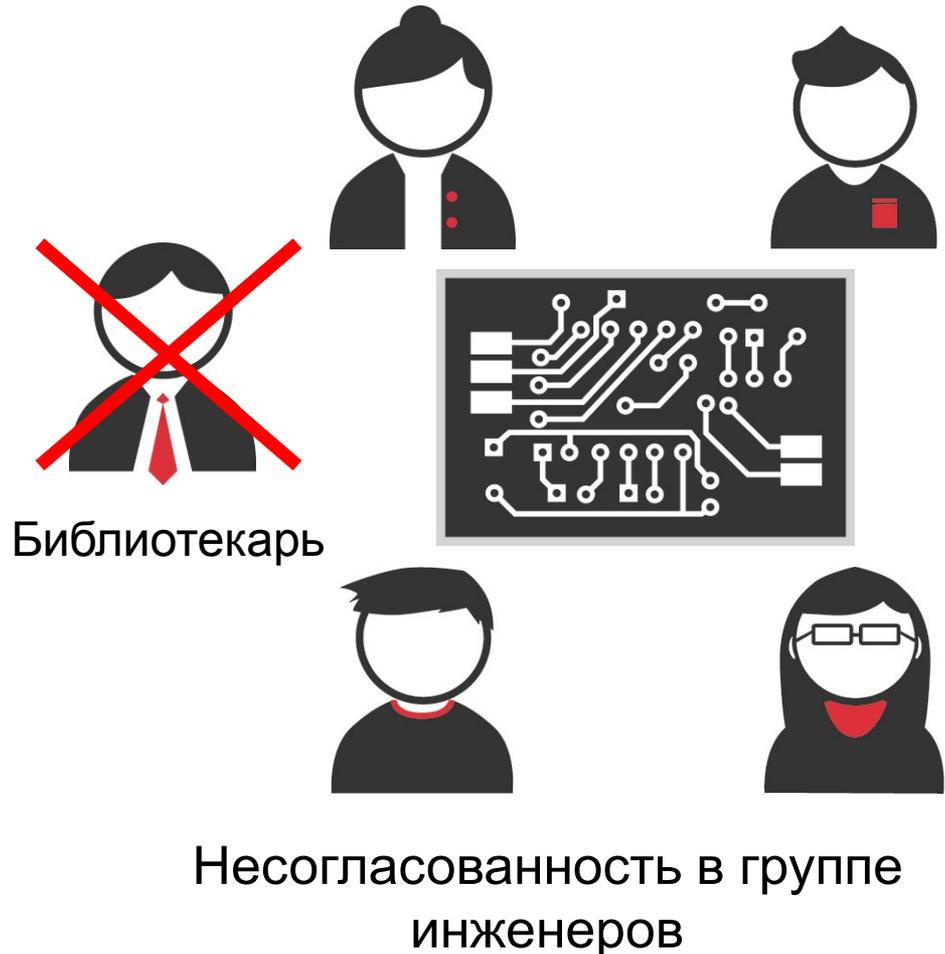
- Меньше библиотекарей на большее количество разработчиков
 - В том числе для удаленных групп разработчиков
- Повышается сложность компонентов
- Поддержка нескольких САПР
- Несколько стандартов на библиотеки
- Сложность своевременного ответа при увеличении количества запросов от инженеров на новые компоненты
- Потребность в 3D моделях



Как оптимизировать работу и повысить производительность и при уменьшении затрачиваемых ресурсов?

Проблемы традиционного подхода к созданию библиотек

- Функции создания библиотек выполняют схемотехники и конструкторы ПП
- Каждый создает свои библиотеки и несет за них ответственность
 - Символы УГО и посадочные места
- Часто не хватает времени для обеспечения соответствия стандартам, а также согласования между членами проектной команды



Как повысить эффективность работы команды инженеров?

Проблемы традиционного подхода к созданию библиотек (продолжение)

- Неполное содержание библиотек
 - Проверка и повторное использование достаточно сложны
- Неэффективность, так как несколько инженеров тратят время на создание одинаковых или похожих компонентов одновременно
 - Время на создание библиотек отнимается от времени на создание проекта
- Без формальной проверки и согласования библиотек ошибки могут обнаружиться на более поздних этапах разработки проекта
 - Когда стоимость исправлений становится высокой
- Отсутствие 3D моделей на уровне ECAD может сказаться на интеграции ECAD/MCAD в сторону увеличения цикла разработки

“Каждая незначительная ошибка, например, отсутствие одного вывода в символе компонента, может стоить \$3,000-\$6,000 если мы не исправили ее вовремя.”

OrCAD Library Builder

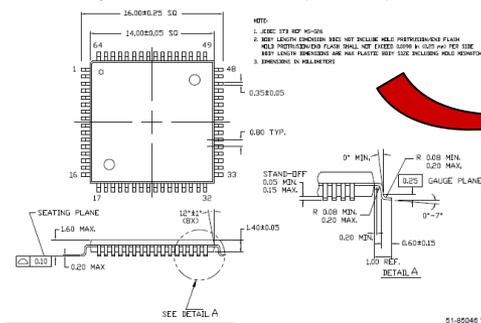
- Автоматизированное согласованное создание библиотек
- Соблюдение стандартов, как гарантия качества
- Управление раздачей библиотек

Pin Descriptions

Pin Name	I/O	Pin Function	CY7C53150 TQFP-64 Pin No.	CY7C53120xx SOIC-32 Pin No.	CY7C53120xx TQFP-44 Pin No.
CLK1	Input	Oscillator connection or external clock input.	24	15	15
CLK2	Output	Oscillator connection. Leave open when external clock is input to CLK1. Maximum of one external load.	23	14	14
RESET	I/O (Built-In Pull up)	Reset pin (active LOW). Note: The allowable external capacitance connected to the RESET pin is 100–1000 pF.	6	1	40
SERVICE	I/O (Built-In Configurable Pull up)	Service pin (active LOW). Alternates between input and output at a 76-Hz rate.	17	8	5
I/O0-I/O3	I/O	Large current-sink capacity (20 mA). General I/O port. The output of timer/counter 1 may be routed to I/O0. The output of Timer/Counter 2 may be routed to I/O1.	2, 3, 4, 5	7, 6, 5, 4	4, 3, 2, 4, 3
I/O4-I/O7	I/O (Built-In Configurable Pull ups)	General I/O port. The input to Timer/Counter 1 may be derived from one of I/O4-I/O7. The input to Timer/Counter 2 may be derived from I/O4.	10, 11, 12, 13	3, 30, 29, 28	42, 36, 35, 32
I/O8-I/O10	I/O	General I/O port. May be used for serial communication under firmware control.	14, 15, 16	27, 26, 24	31, 30, 27

Package Diagrams

Figure 12. 64-Pin Thin Plastic Quad Flat Pack (14 × 14 mm) A64SA

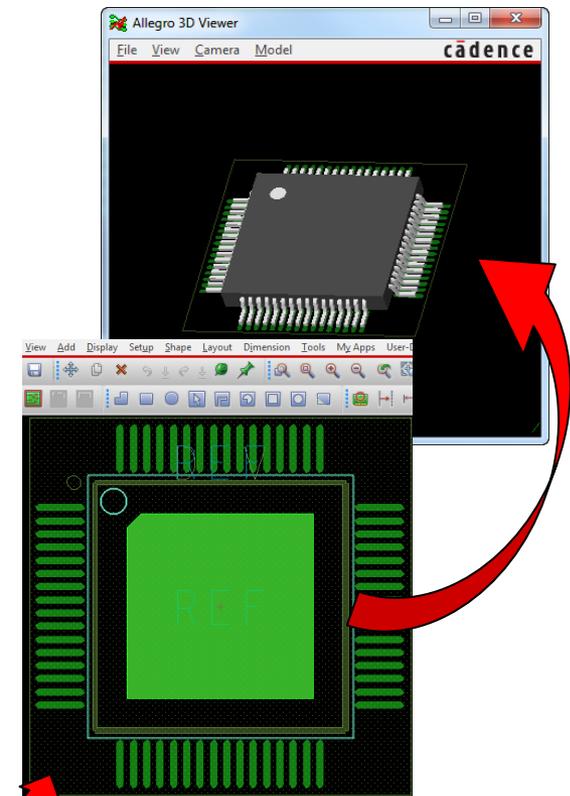


SCREENSHOT OF ORCAD PCB EDITOR. The Pin List window shows the following pins:

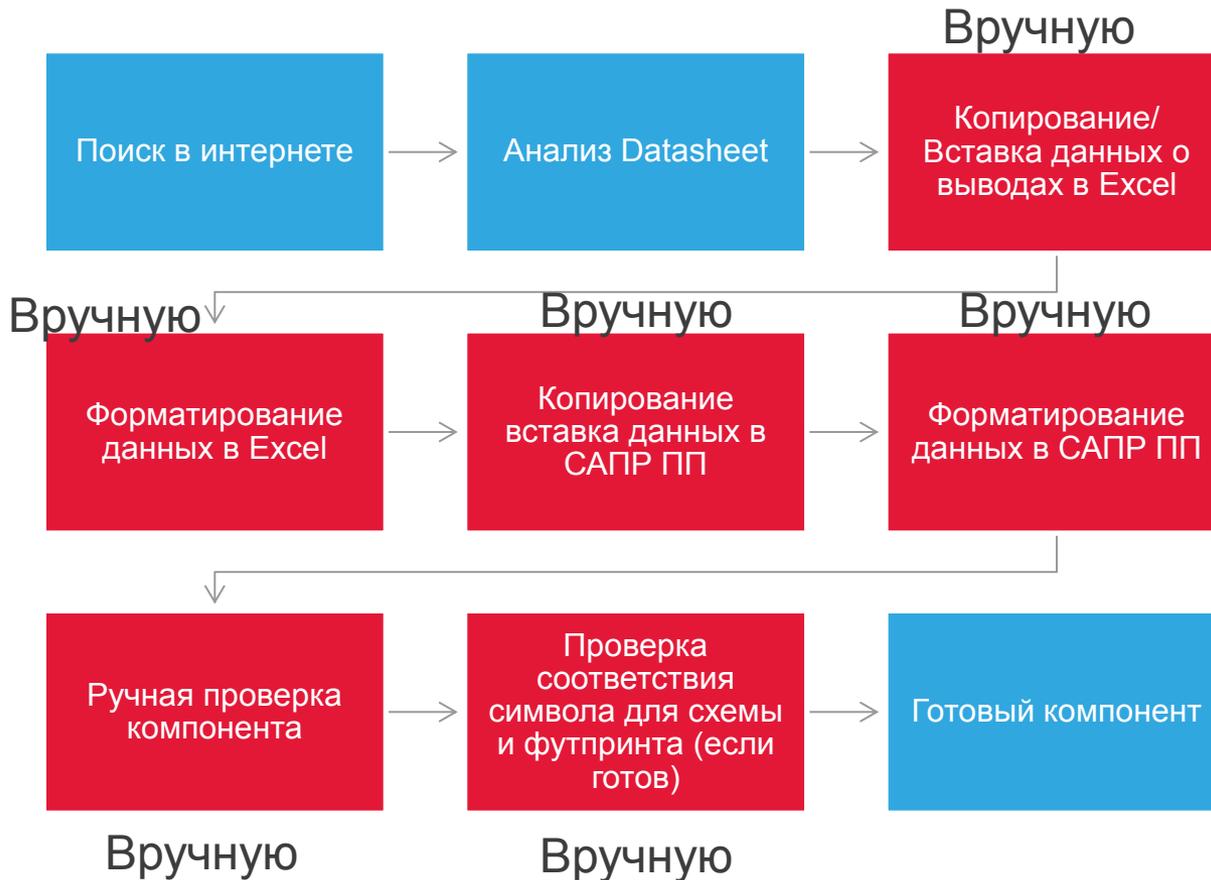
Number	Pin Name	Direct	
1	24	CLK1	Input
2	32	CP(4)	Bidir
3	31	CP(3)	Bidir
4	30	CP(2)	Bidir
5	29	CP(1)	Bidir
6	28	CP(0)	Bidir
7	33	D(7)	Bidir
8	34	D(6)	Bidir
9	35	D(5)	Bidir
10	36	D(4)	Bidir
11	37	D(3)	Bidir
12	38	D(2)	Bidir
13	42	D(1)	Bidir
14	40	D(0)	Bidir
15	16	I/O(10)	Bidir
16	15	I/O(9)	Bidir
17	14	I/O(8)	Bidir
18	13	I/O(7)	Bidir
19	12	I/O(6)	Bidir
20	11	I/O(5)	Bidir
21	10	I/O(4)	Bidir
22	5	I/O(3)	Bidir
23	4	I/O(2)	Bidir
24	3	I/O(1)	Bidir

The Pin Connections window shows the following connections:

Pin	Net
24	CLK1
32	CP(4)
31	CP(3)
30	CP(2)
29	CP(1)
28	CP(0)
33	D(7)
34	D(6)
35	D(5)
36	D(4)
37	D(3)
38	D(2)
42	D(1)
40	D(0)
16	I/O(10)
15	I/O(9)
14	I/O(8)
13	I/O(7)
12	I/O(6)
11	I/O(5)
10	I/O(4)
5	I/O(3)
4	I/O(2)
3	I/O(1)

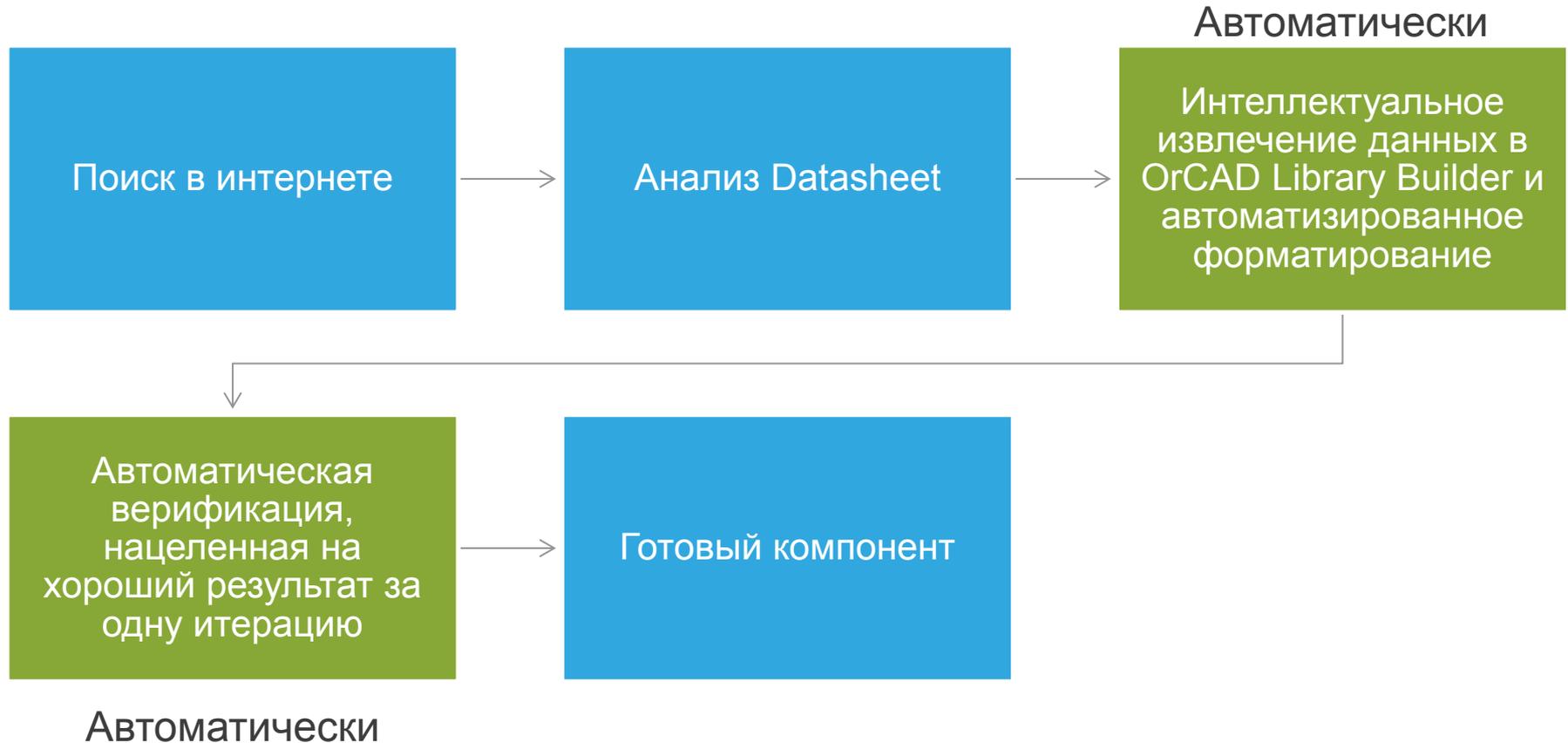


Типовой маршрут создания символа

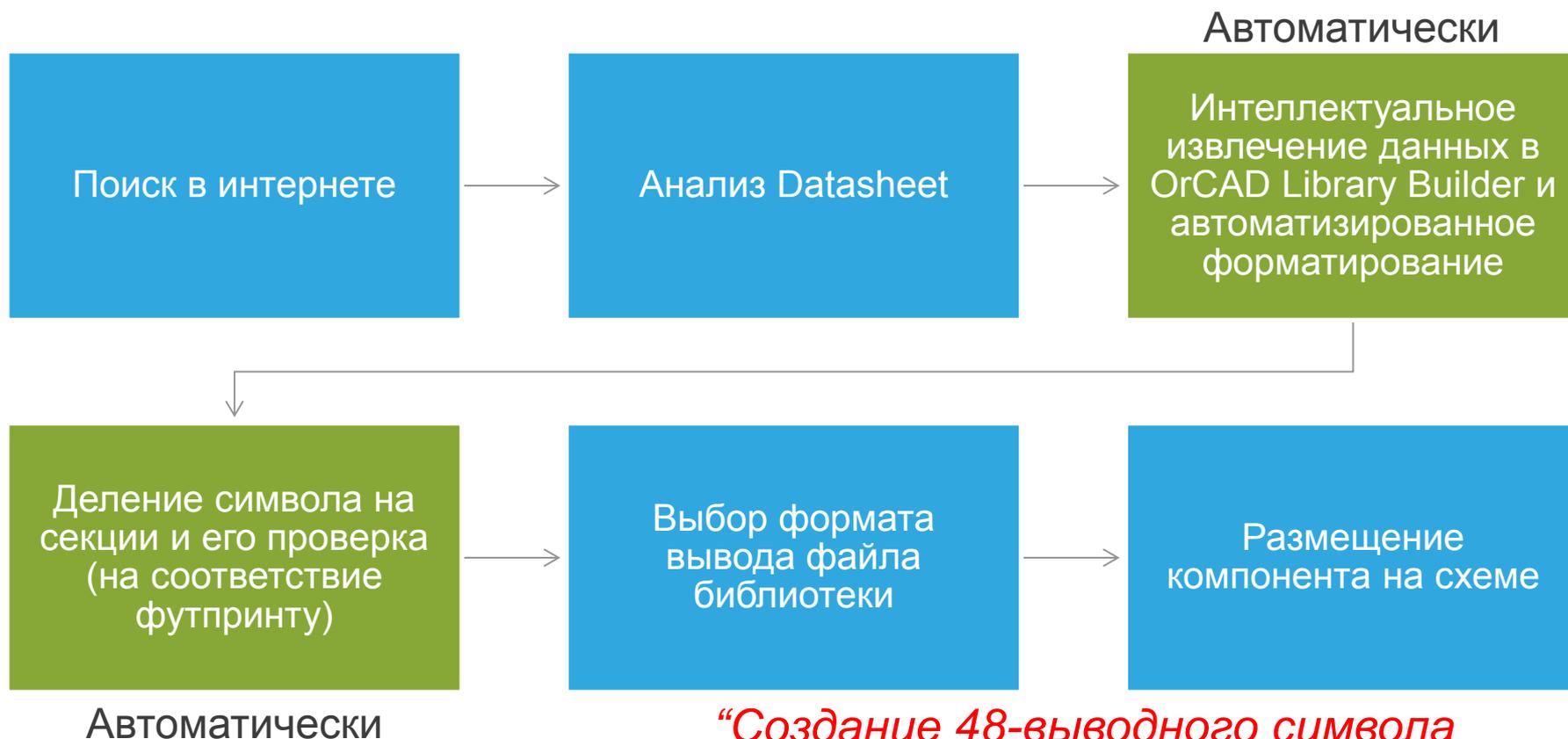


Слишком много ручных операций приводит к длительным срокам работы и ошибкам

Маршрут OrCAD Library Builder



Маршрут OrCAD Library Builder (продолжение)



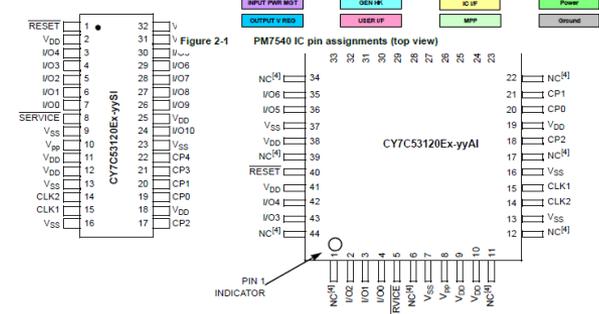
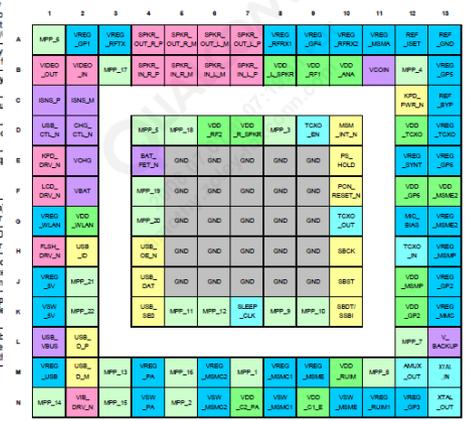
“Создание 48-выводного символа традиционным способом занимает 10 – 12 минут. С помощью OrCAD Library Builder это время сокращается до 2-х минут.”

Интеллектуальное считывание данных из PDF документа

- Интеллектуальное извлечение данных из PDF для быстрого создания символа без ошибок
- Извлечение данных из различных источников PDF документа
 - Таблицы выводов
 - Карты VGA
 - Диаграммы выводов
- Исключение ошибок при копировании путем распознавания данных

Pin Descriptions

Pin Name	IO	Pin Function	CY7C53150 TQFP-64 Pin No.	CY7C53120xx SOIC-32 Pin No.	CY7C53120xx TQFP-44 Pin No.
CLK1	Input	Oscillator connection or external clock input.	24	15	15
CLK2	Output	Oscillator connection. Leave open when external clock is input to CLK1. Maximum of one external load.	23	14	14
RESET	IO (Built-In Pull up)	Reset pin (active LOW). Note: The allowable external capacitance connected to the RESET pin is 100–1000 pF.	6	1	40
SERVICE	IO (Built-In Configurable Pull up)	Service pin (active LOW). Alternates between input and output at a 70-Hz rate.	17	8	5
I00–I03	IO	Large current-sink capacity (20 mA) General I/O port. The output of timer/counter 1 may be routed to I00. The output of Timer/Counter 2 may be routed to I01.	2, 3, 4, 5	7, 8, 6, 4	4, 3, 2, 43
I04–I07	IO (Built-In Configurable Pull ups)	General I/O port. The Timer/Counter 1 may be b of I04–I07. The input may be derived from I/			
I08–I010	IO	General I/O port. May communication under f			
D0–D7	IO	Bidirectional memory			
R/W	Output	Read/write control of memory.			
E	Output	Enable clock control memory.			
A0–A15	Output	Memory address out			
V _{DD}	Input	Power input (5 V nomi be connected together			
V _{SS}	Input	Power input (0 V, GND be connected together			
V _{pp}	Input	In-circuit test mode or when RESET is asserts and data buses becom			
CP0–CP4	Communication Network Interface	Bidirectional port sup solutions in three mode			
NC	—	No connect. Must not user's PC board, since connected internal to it			



Разработка на основе стандартов

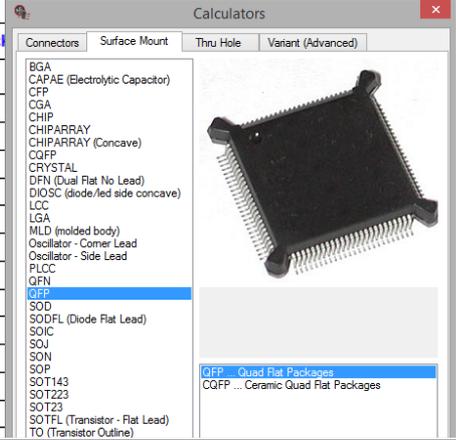
- Поддержка спецификации IPC–7351 гарантирует эффективную передачу на производство
- Создание корпоративных шаблонов символов обеспечивает согласованность между библиотеками и возможность повторного использования



Точные посадочные места

- Точные библиотеки посадочных мест
- Единый интерфейс на основе калькуляторов для различных типов корпусов
- Ассоциативное редактирование позволяет быстро вносить корректировки
- Поддержка широкого набора контактных площадок
 - D-образная, овальная, круглая, прямоугольная и произвольной формы

Symbol	Description	Min
N	Lead Count	
A	Overall Height	
A ₁	Stand Off	0.05
b	Lead Width	0.20
c	Lead Thickness	0.10
D	Terminal Dimension	12.0
D ₁	Package Body	
E	Terminal Dimension	12.0
E ₁	Package Body	
e ₁	Lead Pitch	0.65
L ₁	Foot Length	0.38
T	Lead Angle	0.0°
Y	Coplanarity	

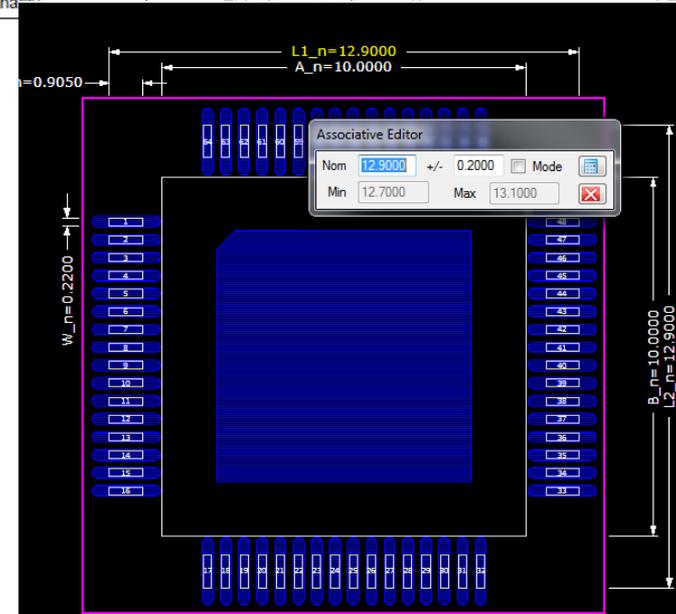


Calculators

Connectors Surface Mount Thru Hole Variant (Advanced)

BGA
CAPAE (Electrolytic Capacitor)
CFP
CGA
CHIP
CHIPARRAY
CHIPARRAY (Concave)
CQFP
CRYSTAL
DFN (Dual Flat No Lead)
DIOSC (diode/led side concave)
LCC
LGA
MLD (molded body)
Oscillator - Corner Lead
Oscillator - Side Lead
PLCC
QFN
QFP
SOD
SODFL (Diode Flat Lead)
SOIC
SOJ
SON
SOP
SOT143
SOT223
SOT23
SOTFL (Transistor - Flat Lead)
TO (Transistor Outline)

QFP ... Quad Flat Packages
CQFP ... Ceramic Quad Flat Packages



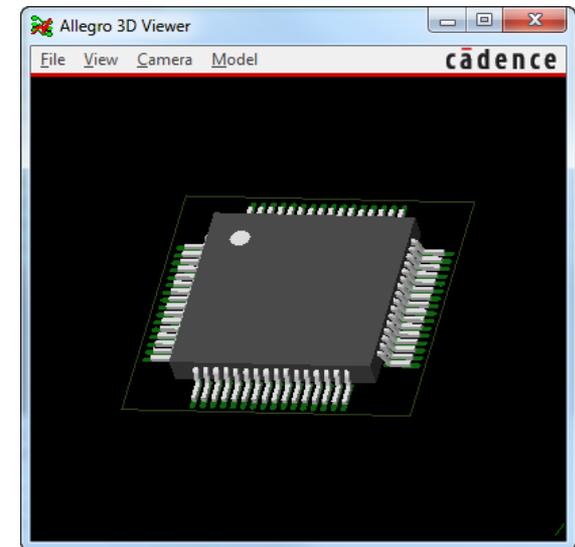
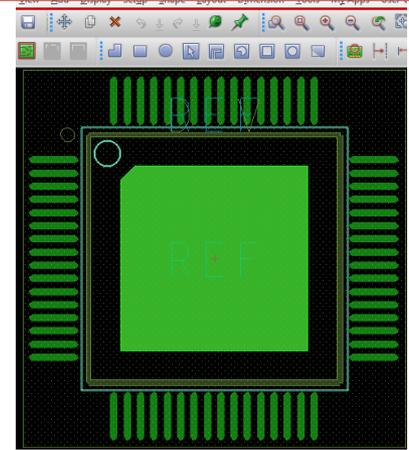
Автоматическая проверка ошибок

- Проверка производится в течении цикла разработки библиотек
- Проверка включает:
 - Символ
 - Посадочное место
 - Соответствие символа посадочному месту
- Проверка соответствия символов и футпринтов - это часть процесса проектирования



Создание 3D моделей компонентов в формате STEP

- Генерация 3D STEP модели – это часть процесса создания футпринта
- Точные 3D STEP модели
 - Не элементарные фигуры
- 3D STEP модели автоматически присваиваются посадочному месту и корректно размещаются в соответствии с выводами
- Анализ механики на ранних стадиях разработки



Преимущества OrCAD Library Builder

- Автоматизация и ускорение создания библиотек компонентов
- Продуманная система проверок для исключения ошибок в библиотеках
- Поддержка шаблонов и стандартов IPC обеспечивает точность и предупреждает возникновение ошибок на стадии производства
- Дружественный настраиваемый интерфейс обеспечивает эффективность работы как для индивидуальных инженеров, так и для библиотекарей
- Генерация 3D STEP моделей обеспечивает эффективное взаимодействие ECAD/MCAD уже на ранних стадиях проектирования печатных плат

OrcAD™

CADENCE PCB SOLUTIONS